Phát triển trình mô phỏng SoC

Nguyễn Gia Bảo Ngọc, 21520366

Khoa Kỹ thuật máy tính

Trường Đại học Công Nghệ Thông tin

ThS. Phạm Minh Quân, Ks. Trần Đại Dương

Khoa Kỹ thuật máy tính

Trường Đại học Công Nghệ Thông tin

***Tóm tắt*—Sản phẩm của đề tài là một trình mô phỏng hành vi của một SoC đơn giản, được triển khai trên nền web, dựa trên việc mô phỏng một số thành phần tiêu biểu trong SoC. Trình mô phỏng hướng đến mục tiêu phục vụ cho mục tiêu giáo dục, hỗ trợ người dùng mới bắt đầu tìm hiểu về SoC.**

Từ khóa— SoC, Trình mô phỏng SoC, Hệ thống trên Chip.

# GIỚI THIỆU

Tổng quan, đề tài nghiên cứu sẽ hướng đến việc phát triển một trang công cụ trên nền web với mục tiêu mô phỏng hành vi của một SoC với các thành phần tiêu biểu Sản phẩm của đề tài hướng đến mục tiêu phục vụ cho công tác dạy và học các môn học liên quan đến SoC và Kiến trúc máy tính.

Hiện nay, tại các trường Đại học trên thế giới, việc giảng dạy các kiến thức liên quan đến SoC vô cùng được chú trọng. Nhiều bài báo nghiên cứu [1] [2] [3] đã được công bố ghi nhận các nỗ lực trong việc xây dựng chương trình dạy học các môn học về SoC. Các cơ sở giáo các viện nghiên cứu, trong việc giảng dạy môn Kiến trúc Máy tính đã ứng dụng nhiều phần mềm, trang Web hỗ trợ nhằm mục đích nâng cao chất lượng giảng dạy.

Năm 2014, phần mềm MARS ra đời, cung cấp cho người dùng một bộ công cụ chi tiết mô phỏng phương thức hoạt động của một vi xử lý MIPS bao gồm: trình soạn thảo mã nguồn, bảng thanh ghi mục đích chung và dấu phẩy động, hỗ trợ các lệnh Syscall và trình mô phỏng bằng đồ họa (MIPS – XRAY), cùng với các chức năng quan trọng khác. Tuy vậy, phần mềm MARS vẫn chưa hỗ trợ người dùng ở mức độ SoC mà chỉ tập trung vào một bộ phận là vi xử lý.

Năm 2022, trang WebRISC–V được công bố [4], đã khắc phục được những nhược điểm của phần mềm MARS và Trang RISC-V Interpreter, khi thành công phát triển bộ công cụ mô phỏng vi xử lý RISC–V trên nền web với các chức năng tiêu biểu như trình soạn thảo mã nguồn, biên dịch, cho phép người dùng quan sát các vùng dữ liệu bên trong bộ nhớ, mô phỏng đường dữ liệu của vi xử lý đa chu kì. Tuy vậy, trang WebRISC–V chỉ tập trung vào một bộ phận của SoC là vi xử lý.

Có thể thấy, một số bộ phận của SoC đơn cử như bộ vi xử lý đã có nhiều phần mềm hỗ trợ mô phỏng, trang web hỗ trợ học tập. Tuy nhiên, một mức hệ thống máy tính tổng quát hơn như SoC lại có rất ít phần mềm mô phỏng hỗ trợ việc học tập. Thiếu sự hỗ trợ này gây khó khăn cho sinh viên trong việc hiểu và ứng dụng môn học này. Sự cấp thiết trong nhụ cầu cần phải có một công cụ mô phỏng SoC cho việc dạy và học chính là động lực phát triển của đề tài nghiên cứu.

# GIẢI PHÁP

## Phát triển bộ công cụ mô phỏng SoC với các thành phần điển hình

Trước thực trạng nhu cầu người học SoC cần có một bộ cụ mô phỏng hỗ trợ học tập với mức độ triển khai ở mức hệ thống không còn chỉ xoay quanh bộ vi xử lí và kiến trúc tập lệnh. Giải pháp cần thiết là phải phát triển một trình mô phỏng SoC đơn giản, dễ dàng tiếp cận với đại đa số người dùng.

Các kiến thức liên quan đến Kiến trúc máy tính và SoC đòi hỏi người học cần có mức trừu tượng cao cũng như cần phải hệ thống các kiến thức của các thành phần liên quan. Các thành phần trong SoC có tính kết nối cao, để hiểu rõ hệ thống người học cần sự liên hệ kiến thức từ nhiều nguồn như: kiến trúc tập lệnh, hệ thống kết nối, cơ chế chuyển đổi địa chỉ, các thành phần ngoại vi.

Rút ra kinh nghiệm từ bản thân cũng như nhiều bạn sinh viên khác, nhóm nghiên cứu nhận thấy, tuy không thể thay thế hoàn toàn trải nghiệm thực hành thực tế, nhưng một trình mô phỏng hiệu quả đóng một vai trò quan trọng trong quá trình học tập và nghiên cứu, giúp sinh viên thực hành và kiểm tra các khái niệm và kỹ thuật.

## Kiến trúc của SoC được mô phỏng

Sản phẩm của đề tài hướng đến việc xây dựng một công cụ mô phỏng SoC cơ bản với các thành phần điển hình sát với các kiến thức giảng dạy trong trường đại học. Các thành phần sẽ được mô phỏng hành vi bao gồm: Bộ xử lí.Đơn vị quản lí bộ nhớ.Các hệ thống kết nối. Bộ nhớ chính.Thành phần truy xuất bộ nhớ trực tiếp.Ma trận đèn Led.

Hệ thống SoC được mô phỏng trong phạm vi đề tài có thể được minh họa như trong Hình 1.

A diagram of a computer process

AI-generated content may be incorrect.

Hình . Hệ thống SoC được mô phỏng trong đề tài

Bộ vi xử lý với kiến trúc tập lệnh RV32I được xem như trung như tâm xử lý của hệ thống. Thành phần quản lý bộ nhớ với chức năng quản lý và bảo vệ bộ nhớ, cung cấp cho người nhìn cái nhìn tổng quan về biện pháp cơ bản nhằm quản lý bộ nhớ trong SoC. Bộ nhớ chính, là nơi lưu trữ dự liệu bên trong hệ thống. Hệ thống kết nối, được xem như là nơi trung chuyển, truyền đạt dữ liệu giữa các thành phần bên trong hệ thống trên chip. Thành phần truy xuất bộ nhớ trực tiếp, là bộ phận thay thế cho Bộ xử lí trong việc truy xuất dữ liệu và truyền đến các thiết bị ngoại vi, giúp tăng tốc và giảm khối lượng công việc của Bộ xử lí trong quá trình hoạt động. Thành phần ma trận đèn Led, là thành ngoại vi của SoC, có thể được truy cập bởi Bộ xử lý hoặc Thành phần truy xuất bộ nhớ trực tiếp, gián tiếp ánh xạ một đoạn dữ liệu bên trong bộ nhớ ra môi trường bên ngoài.

# KẾT QUẢ

Tính đến thời điểm trước ngày 25/04/2025, kết quả thu được của đề tài cơ bản hoàn thành các thành phần quan trọng của trình mô phỏng. Hệ thống có thể giao tiếp với người dùng thông qua việc soạn thảo mã nguồn. Các thành phần bên trong SoC được mô phỏng có thể hoạt động và phối hợp hoạt động với nhau. Giao diện phần nhìn có bố cục rõ ràng, các chức năng hoạt động ổn định. Giao diện của trang mô phỏng như Hình 2.

A screenshot of a computer

AI-generated content may be incorrect.

Hình . Minh họa giao diện của hệ thống

Ngoài chức năng quan trong nhất là soạn thảo mã nguồn, bộ công cụ còn cung cấp cho người dùng một cái nhìn tổng quan về các bộ phận khác và quá trình hoạt động của hệ thống thông qua các chức năng phụ trợ khác như bảng trạng thái hoạt động. Bảng trạng thái hoạt động của hệ thống có thể được mô tả như trong Hình 3. Các chức năng trừu tượng bậc cao khác cũng được hỗ trợ như: Disassembly giúp người dùng chuyển đổi từ mã máy sang hợp ngữ, Schematic view hỗ trợ người dùng có cái nhìn tổng quát về vi xử lí RV32I đơn chu kì.

A screenshot of a computer

AI-generated content may be incorrect.

Hình . Minh họa chức năng quan sát trạng thái hoạt động của hệ thống

# KẾT LUẬN

Trang công cụ là sản phẩm của đề tài đã mang đến những kết quả tích cực ban đầu. Giao diện và chức năng ổn định, dễ dàng tiếp cận với đa số người dùng. Quá trình phát triển sản phầm nghiên cứu có thể tiếp tục các giai đoạn kế tiếp.Bộ mô phỏng đã có thể mô phỏng cơ bản chức của các thành phần được đề xuất bên trong SoC, nâng mức độ mô phỏng lên mức hệ thống trên chip không còn chỉ xoay quanh Bộ vi xử lý. Tuy vậy, hệ thống vẫn còn có thể cải tiến ở nhiều khía cạnh như mở rộng tập lệnh cho Bộ xử lý, xây dựng thêm các chức năng ở mức trừu tượng cao khác.

So với kế hoạch đã đặt ra như trong Bảng 1, đề tài nghiên cứu đã hoàn thành đúng tiến độ và sẵn sàng cho những giai đoạn kế tiếp.

Bảng . Bảng kế hoạch thực hiện

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Tháng 3 | Tháng 4 | Tháng 5 | Tháng 6 |
| Nghiên cứu lý thuyết | 3/3 – 31//3 |  |  |  |
| Tiến hành lập trình giả lập cho các thành phần của hệ thống | 17/3 – 27/4 | |  |  |
| Kiểm tra chức năng |  | 27/4 – 17/5 | |  |
| Chỉnh sửa sau cùng và viết báo cáo |  |  | 17/5 – 6/6 | |

# TÀI LIỆU THAM KHẢO

1. A. Napieralski, M. Janicki and G. Jablonski, "Teaching system-on-chip design at Technical University of Lodz," The Experience of Designing and Application of CAD Systems in Microelectronics, 2003. CADSM 2003. Proceedings of the 7th International Conference., Slavske, Ukraine, 2003, pp. 30-39, doi: 10.1109/CADSM.2003.1254975.
2. I. S. Kourtev et al., "Short Courses in System-on-a-Chip (SoC) design," Proceedings 2003 IEEE International Conference on Microelectronic Systems Education. MSE'03, Anaheim, CA, USA, 2003, pp. 126-127, doi: 10.1109/MSE.2003.1205285.
3. Donald Hung, “Teaching SoC-Oriented Computer Design Course”, 2005 IEEE International Conference on Microelectronic Systems Education (MSE'05), Anaheim, CA, USA, 12-13 june 2005, Publisher: IEEE, Date Added to IEEE Xplore: 19 September 2005.
4. Gianfranco Mariotti, Roberto Giorgi, “WebRISC-V: A 32/64-bit RISC-V pipeline simulation tool”, 2022.